

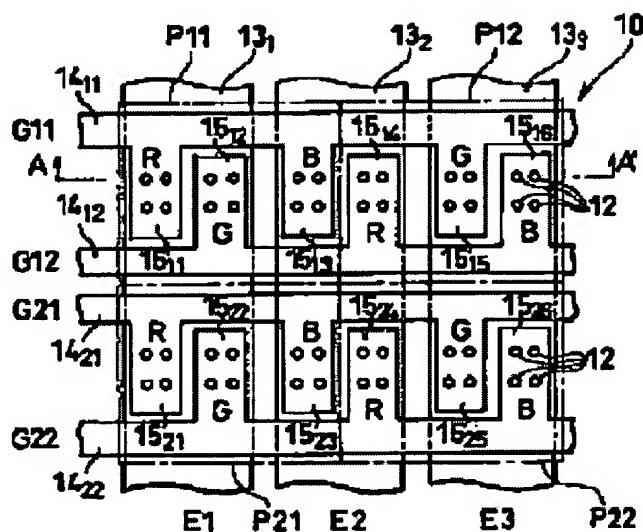
FIELD EMISSION TYPE DISPLAY DEVICE

Patent number: JP10334836
Publication date: 1998-12-18
Inventor: YAMASHITA MASAYOSHI
Applicant: YAMAHA CORP
Classification:
 - international: H01J31/12
 - european:
Application number: JP19970140600 19970529
Priority number(s):

Abstract of JP10334836

PROBLEM TO BE SOLVED: To provide an FED for full color picture image display, in which power consumption is reduced and a drive circuit is simplified by cutting down the number of drive lines, emitter lines in particular.

SOLUTION: This device has a display base plate 10 on which plural pixels Pij with field emission type emitters 12 are arranged in a matrix, an anode electrode placed opposite to it and an opposite base plate on which a phosphor film is formed. A pixel is constituted of three primary color dots such as R, G, and B and a full color picture image is displayed. In this case, emitter lines 13 are arranged to make three 3 lines for every two adjacent pixels in a row direction, so that every two adjacent dots in R, G, B dots of two adjacent pixels in a row direction are driven together, and gate lines 14 are arranged to make a pair for every two lines, so that two adjacent dots in a row direction driven together by a single emitter line 13 is driven with different timings.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-334836

(43)公開日 平成10年(1998)12月18日

(51)Int.Cl.
H01J 31/12

識別記号

P I
H01J 31/12

C

審査請求 未請求 請求項の数 3 OL (全 6 頁)

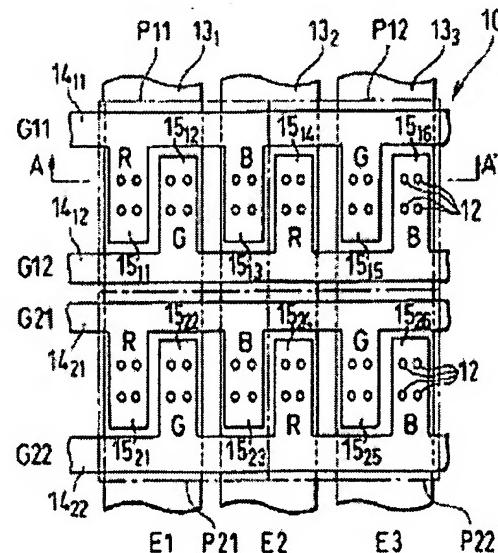
(21)出願番号	特願平9-140600
(22)出願日	平成9年(1997)5月29日

(71)出願人	000004075 ヤマハ株式会社 静岡県浜松市中沢町10番1号
(72)発明者	山下 正芳 静岡県浜松市中沢町10番1号 ヤマハ株式会社内
(74)代理人	弁理士 伊丹 勝

(54)【発明の名称】 電界放出型ディスプレイ装置
(57)【要約】

【課題】 駆動線の本数削減を図り、特にエミッタ線の削減によって消費電力低減と駆動回路の簡略化を可能としたフルカラー画像表示用のFEDを提供する。

【解決手段】 電界放出型エミッタ12をもつ複数の画素P11が行列配置された表示基板10と、これに対向配置されてアノード電極と蛍光体膜が形成された対向基板12を有し、1画素がR、G及びBの三原色ドットにより構成されてフルカラー画像表示を行うFEDにおいて、エミッタ線13は、行方向に隣接する2画素のR、G、Bドットを隣接する2ドットずつ共通駆動するように、行方向に隣接する2画素につき3本ずつ配設し、ゲート線14は、1本のエミッタ線13で共通駆動される行方向に隣接する2ドットを異なるタイミングで駆動するように2本ずつ対をなすように配設する。



【特許請求の範囲】

【請求項 1】 ゲート電極により駆動される電界放出型エミッタをもつ複数の画素が行列配置され、行方向の画素のゲート電極を共通駆動する複数本のゲート線と列方向の電界放出型エミッタを共通駆動する複数本のエミッタ線とが形成された表示基板と、この表示基板に対向配置されてアノード電極と蛍光体膜が形成された対向基板とを有し、1画素が赤、緑及び青の三原色ドットにより構成されてフルカラー画像表示を行う電界放出型ディスプレイ装置において、

前記エミッタ線は、行方向に隣接する2画素の三原色ドットを隣接する2ドットずつ共通駆動するように、行方向に隣接する2画素につき3本ずつ配設され、

前記ゲート線は、1本のエミッタ線で共通駆動される行方向に隣接する2ドットを異なるタイミングで駆動するように2本ずつ対をなして配設されていることを特徴とする電界放出型ディスプレイ装置。

【請求項 2】 行方向に隣接する2ドット分の電界放出型エミッタを駆動するゲート電極は互いに噛み合うように歯状をなして対をなすゲート線に接続されていることを特徴とする請求項 1記載の電界放出型ディスプレイ装置。

【請求項 3】 対をなす2本のゲート線に順次ゲート電圧が与えられ、且つ各ゲート線駆動に同期して各エミッタ線に三原色ドットのうち2ドット分ずつのエミッタ電圧が順次与えられて、1ライン走査が行われるようにしたことを特徴とする請求項 1記載の電界放出型ディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、微小な電界放出型エミッタを配列形成してなる表示基板を用いて構成されるフルカラー画像表示用の電界放出型ディスプレイ装置に関する。

【0002】

【従来の技術】 近年、フラットパネルディスプレイとして、微小エミッタを電子源として用いたFED (Field Emission Display) が注目されている。FEDは、ゲート電極により駆動される電界放出型エミッタをもつ複数の画素が行列配置された表示基板と、この表示基板に対向配置されたアノード電極と蛍光体膜とが形成された対向基板とから構成される。表示基板と対向基板の間は真空封止される。表示基板上の行方向の画素のゲート電極を共通駆動する複数本のゲート線と、列方向の画素の電界放出型エミッタを共通駆動する複数本のエミッタ線とは外部に取り出される。そして例えば、ゲート線を順次駆動しながら、これに同期してエミッタ線に1ラインずつの画像データを与えることにより、いわゆる線順次駆動の画像表示が行われる。

【0003】 この種のFEDにおいて、フルカラー画像

表示を行う場合には、赤 (R)、緑 (G) 及び青 (B) の三原色ドット3つ分を1画素として、R、GおよびBの各ドットの電界放出型エミッタに対向するアノード電極上にそれぞれR、G及びB用の蛍光体膜を形成して構成される。その場合の表示基板のレイアウトを4画素分について概略的に示すと、図6のようになる。図の一点鎖線で示す領域R1がR、G、Bドットにより構成される1画素領域であり、行方向の画素を共通駆動するゲート線 (G1, G2, ...) 61と、列方向の各R、G、Bドットを共通駆動するエミッタ線 (E1, E2, ...) 62が直交して配設される。1本のゲート線61とエミッタ線62により駆動される1ドット領域に電界放出型エミッタ線63(図の場合は4個ずつ)が配置される。

【0004】 ゲート線61とエミッタ線62の駆動は例えば、図7のように行われる。ゲート線G1, G2, ...に順次正電圧(例えば、25V)を印加して1ラインずつの選択がなされ、これに同期してエミッタ線E1, E2, ...には1ライン分のR, G, B用の負の画像データ電圧(例えば、-25V)が印加される。ゲート線61に+25V、エミッタ線62に-25Vが印加されて選択されたドットの電界放出エミッタでは、ゲート・エミッタ間電圧 $V_{ge} = 50V$ となって電子放出が生じ、この電子がアノード電極側に加速されて蛍光体膜を叩くことにより発光する。エミッタ線62に与えられる電圧は、階調表示のためにパルス幅が設定されたPWMパルスであって、例えば16階調の表示ができるようになる。

【0005】

【発明が解決しようとする課題】 上述したフルカラー表示のFEDでは、画素数に応じてゲート線及びエミッタ線の本数が多くなる。図6に示すように、1画素当たりゲート線が1本、エミッタ線が3本であるから、例えば、 640×480 画素のFEDの場合、ゲート線が480本、エミッタ線が $640 \times 3 = 1920$ 本となり、合計2400本の駆動線が必要になる。640本をゲート線、480 $\times 3 = 1440$ 本をエミッタ線としても、合計2080本となる。そして駆動線の本数がこれだけ多くなると、特にエミッタ線は電流が流れるために消費電力が増大する。また、特にエミッタ線側に階調表示のための複雑な回路要素が必要であるため、エミッタ線数の増大は駆動回路の構成を困難にする。

【0006】 この発明は、上記事例を考慮してなされたもので、駆動線の本数の削減を図り、特にエミッタ線の削減によって消費電力低減と駆動回路の簡略化を可能としたフルカラー画像表示用の電界放出型ディスプレイ装置を提供することを目的としている。

【0007】

【課題を解決するための手段】 この発明は、ゲート電極により駆動される電界放出型エミッタをもつ複数の画素が行列配置され、行方向の画素のゲート電極を共通駆動する複数本のゲート線と列方向の電界放出型エミッタを

共通駆動する複数本のエミッタ線とが形成された表示基板と、この表示基板に対向配置されてアノード電極と蛍光体膜が形成された対向基板とを有し、1画素がR, G及びBの三原色ドットにより構成されてフルカラー画像表示を行うFEDにおいて、前記エミッタ線は、行方向に隣接する2画素の三原色ドットを隣接する2ドットずつ共通駆動するよう、行方向に隣接する2画素につき3本ずつ配設され、前記ゲート線は、1本のエミッタ線で共通駆動される行方向に隣接する2ドットを異なるタイミングで駆動するように2本ずつ対をして配設されていることを特徴とする。この発明において好ましくは、行方向に隣接する2ドット分の電界放出型エミッタを駆動するゲート電極は互いに噛み合うように歯状をなして対をなすゲート線に接続されるものとする。またこの発明において好ましくは、対をなす2本のゲート線に順次ゲート電圧が与えられ、且つ各ゲート線駆動に同期して各エミッタ線に三原色ドットのうち2ドット分ずつのエミッタ電圧が順次与えられて、1ライン走査が行われるようにする。

【0008】この発明によるFEDでは、行方向に繰り返し配設されるR, G, Bドットの隣接する2ドット分を1本のエミッタ線と、対をなす2本のゲート線とで駆動するようにしている。言い換れば、2色分の蛍光体膜を1本のエミッタ線で駆動するように、行方向に隣接する2画素について、3本のエミッタ線と2本のゲート線が配設される。具体的に例えば、行方向に隣接する2ドット分の電界放出型エミッタを駆動するゲート電極は互いに噛み合うように歯状をなして対をなすゲート線に接続されるようになる。そして、対をなす2本のゲート線に順次ゲート電圧を与え、各ゲート線駆動に同期して各エミッタ線にR, G, Bドットのうち2ドット分ずつのエミッタ電圧が順次与えられるように走査駆動すれば、2本のゲート線駆動で1ライン走査となる(順次の走査駆動が可能となる)。

【0009】この発明において、例えば、 640×480 画素のフルカラー表示FEDを構成しようとすると、ゲート線が $480 \times 2 = 960$ 本、エミッタ線が $640 \times 1 = 960$ 本、したがって合計 1920 本となり、従来の方式に比べて駆動線の本数が効果的に低減される。特にエミッタ線の本数削減により消費電力の低減が図られ、また階調表示を行う場合に複雑となるエミッタ側駆動回路の数を少なくすることができます。

【0010】

【発明の実施の形態】以下、図面を参照して、この発明の実施例を説明する。図1は、この発明の一実施例によるFED本体の表示基板側レイアウトを4画素分について示し、図2は同FED本体の図1のA-A'位置での断面構造を示し、図3は表示基板側の全体的レイアウトを示している。

【0011】FED本体1は、図2に示すように、表示

基板10とこれに対向して配置された対向基板20とから構成される。表示基板10は例えばシリコン基板11を用いて構成されて、図3に示すように複数の画素Pij ($i = 1 \sim m$, $j = 1 \sim n$) が行列配設される。各画素Pijは、図1に示すように、R, G, Bドットにより構成され、各ドット領域に先端を持つ電界放出型エミッタ(以下、単にエミッタと称する)12が、例えば4個ずつ形成される。図2では、便宜上各ドットに一つのエミッタ12しか示していない。列方向に並ぶエミッタ12を共通駆動するエミッタ線13 (131, 132, ...) は、それぞれ行方向に隣接する2ドット分をカバーするように、行方向に隣接する2画素につき3本ずつ配設されている。即ち、画素P11, P12, ... が配列された一つの行に着目すれば、エミッタ線131は、画素P11のR, Gドットのエミッタ12を共通駆動し、エミッタ線132は、画素P11の残りのBドットとこれに行方向に隣接する画素P12のRドットのエミッタを共通駆動し、エミッタ線133は、画素P12のG, Bドットのエミッタ12を共通駆動するよう、配設される。各エミッタ線13は、絶縁層16により互いに分離されており、それぞれ外部エミッタ端子E (E1, E2, ...) として取り出される。

【0012】各エミッタ12を駆動するゲート電極15 (1511, 1512, ...) は、基板11上に絶縁層17を介して形成されて各エミッタ12が露出する孔が加工されている。各ゲート電極15はそれぞれ各画素のR, G, Bドット内のエミッタ12を駆動するもので、各行につき2本ずつをなして配設されるゲート線14 (1411, 1412, 1421, 1422, ...) に接続される。即ち、画素P11の隣接するR, Gドット用のゲート電極1511, 1512はそれぞれ対をなすゲート線1411, 1412に接続され、同じ画素P11のBドット用のゲート電極1513と行方向の次の画素P12のRドット用ゲート電極1514はそれぞれ対をなすゲート線1411, 1412に接続され、以下同様の接続によって互いに噛み合う歯状パターン(インターデジタル電極パターン)が構成される。他の行も同様である。各ゲート線14は外部ゲート端子G (G1, G2, ...) として取り出される。

【0013】この実施例の場合、図3に示すように、表示基板10の画素Pijが配列された表示領域の周囲の絶縁層17上には、表示領域を取り囲むように帯電電荷を除去するための除電電極18が形成されている。この除電電極18は例えば動作中常時OVに設定し、或いは必要に応じて間欠的に負電圧を与えることによって、表示動作により絶縁層17の帯電電荷を除去して、放電によるエミッタ破壊を防止するために利用される。

【0014】対向基板20は、ガラス等の透明基板21を用いて作られ、その表面上にはITO等の透明導電膜によるアノード電極22が表示基板10の表示領域に対向する範囲全面に形成されている。アノード電極22上

は、各画素のPijのR, G, Bドットに対応してそれぞれR, G, B用の蛍光体膜23(23R, 23G, 23B)が形成されている。表示基板10と対向基板20の間は、図示しないが、低融点ガラス等の封止材により真空封止される。好ましくはFED本体内部に、バリウム合金或いはジルコニアム合金等のゲッター材が封入される。

【0015】この様に構成されたFED本体1の駆動回路として、図4に示すように、ゲート端子Gを順次駆動するゲート駆動回路2、及びこのゲート駆動回路2と同期してエミッタ端子Eを駆動するエミッタ駆動回路3が設けられる。これららのゲート駆動回路2及びエミッタ駆動回路3の同期制御を行うのがコントローラ4である。通常、線順次による画像表示を行う場合、エミッタ駆動回路3には1ラインずつの画像データが順次送り込まれ、n本のエミッタ端子Eには1ラインを構成する画像データが同時に与えられ、ゲート駆動回路2によって一つのゲート端子Gが選択駆動されて1ラインの画像表示がなされ、以下順次ゲート端子Gが選択駆動される。但しこの実施例の場合、上述のように1画素当たり2本ずつのゲート線が設けられ、行方向に隣接する2画素につき3本のエミッタ線が設けられるから、1ラインの表示動作に対をなす2本のゲート線の順次駆動を行うことになる。

【0016】図5は、その表示動作を示すタイミング図である。図示のように、対をなすゲート端子G11, G12に対して、順次正電圧(例えば、25V)を与える。これららの対をなすゲート端子G11, G12の駆動期間T1+T2が1ライン表示期間となる。ゲート端子G11, G12の一方の端子G11の駆動期間T1には、エミッタ端子E1, E2, E3…に対して、画素P11のRドット、同じ画素P11のBドット、次の画素P12のGドットというように、1ライン内の飛び飛びのドットデータが、PWM変調された負電圧パルス(例えば、-25V)として与えられる。次のゲート端子G12の駆動期間T2には、エミッタ端子E1, E2, E3…に、画素P11のGドット、画素P12のRドット、画素P12のBドットというように、1ライン分の残りのドットを補間するドットデータが与えられる。即ち、対をなす2本のゲート端子の順次駆動と、これに同期した各エミッタ端子に対する2回のドットデータの供給によって、1ラインの表示が行われる。

【0017】以上のようにこの実施例においては、行方向に隣接する2画素につき3本のエミッタ線を配設し、各画素に2本で対をなすゲート線を配設することにより、例えば画素数が、m=480, n=540の場合、ゲート線は $480 \times 2 = 960$ 本、エミッタ線は $540 \times 1 = 540$ 本となり、従来のようにR, G, Bドット毎にエミッタ線を配設する場合に比べて駆動線の本数を大きく削減することができる。特に、電流が流れるエミッタ線の削減により、効果的に消費電力低減が図られる。また階調表示を行うための複雑なエミッタ駆動回路の数が少なくなり、フルカラー表示FEDの製造が容易になるだけでなく、製造歩留まりも向上する。

【0018】

【発明の効果】以上述べたようにこの発明によるフルカラー表示用のFEDでは、繰り返し連続するR, G, Bドットの隣接する2ドット分を1本のエミッタ線と対をなす2本のゲート線とで駆動するように構成することにより、駆動線の本数を低減し、特にエミッタ線の低減により低消費電力化と駆動回路の簡略化を図ることができる。

【画面の簡単な説明】

【図1】この発明の一実施例によるFED本体の表示基板の要部レイアウトを示す図である。

【図2】同実施例のFED本体の表示基板の要部断面構造を示す図である。

【図3】同実施例のFED本体の表示基板の全体レイアウトを示す図である。

【図4】同実施例のFEDの駆動回路構成を示す図である。

【図5】同実施例のFEDの動作を説明するためのタイミング図である。

【図6】従来のFEDの表示基板の要部レイアウトを示す図である。

【図7】同FEDの動作を説明するためのタイミング図である。

【符号の説明】

1…FED本体、2…ゲート駆動回路、3…エミッタ駆動回路、4…コントローラ、10…表示基板、11…シリコン基板、12…電界放出エミッタ、13…エミッタ線、14…ゲート線、15…ゲート電極、16…17…絶縁層、18…除電電極、20…対向基板、21…透明基板、22…アノード電極、23…蛍光体膜。

